

CLIPPEDIMAGE= JP409232566A

PAT-NO: JP409232566A

DOCUMENT-IDENTIFIER: JP 09232566 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: September 5, 1997

INVENTOR-INFORMATION:

NAME

YOSHIOKA, MAMORU

ASSIGNEE-INFORMATION:

NAME

RICOH CO LTD

COUNTRY

N/A

APPL-NO: JP08058583

APPL-DATE: February 21, 1996

INT-CL (IPC): H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the ESD breakdown voltage and use a semiconductor integrated circuit as an output transistor of high performance, by forming a high-density diffusion layer having the same conduction type as a drain diffusion layer on a lower part of the drain diffusion layer.

SOLUTION: A semiconductor integrated circuit 1 is constituted by a protection transistor 6 in which drain regions 3 and source regions 4 are alternately formed on a P-type substrate 2 and in which a gate 5 is formed between the drain region 3 and the source region 4. A gate electrode 8 is provided on a gate oxide film 7 formed on the P-type substrate 2, and a sidewall 9 is formed

to cover lateral sides of the gate electrode 8 and the gate oxide film 7. A drain contact 15 is formed in a contact hole 14 which is formed on the upper part of a high-density diffusion layer 12, in an interlayer insulating film 13 formed to cover the gate electrode 8. Thus, the ESD breakdown voltage may be improved, and a protection transistor which may be used as a high-performance output transistor may be obtained.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-232566

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl.<sup>6</sup>  
H01L 29/78

識別記号 庁内整理番号

F I  
H01L 29/78

技術表示箇所

301K

審査請求 未請求 請求項の数1 FD (全5頁)

(21)出願番号 特願平8-58583

(22)出願日 平成8年(1996)2月21日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 吉岡 守

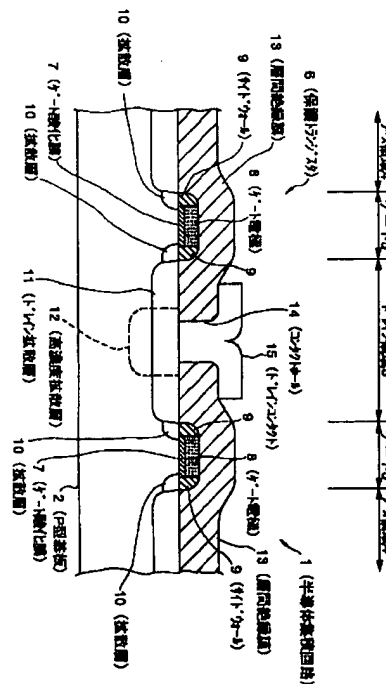
東京都大田区中馬込一丁目3番6号 株式  
会社リコー内

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 本発明は入出力セル面積を増大させることなく、かつLDD構造を採用しながら、ESD耐圧を向上させるとともに、高性能な出力トランジスタとして使用可能な保護トランジスタを得る。

【解決手段】 入出力セルとなる入力保護トランジスタ6のドレインコンタクト15の直下に、ドレイン拡散層11と同一導電型で、ドレイン拡散層11よりも高濃度の拡散層(高濃度拡散層12)を形成する。



## 【特許請求の範囲】

【請求項1】 入出力セルとなる入力保護トランジスタおよび出力トランジスタのドレイン側のコンタクトホール直下にあるドレイン拡散層の下部に、このドレイン拡散層と同一の導電型を持ち、前記ドレイン拡散層よりも高濃度の拡散層を形成したことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ESD耐圧を向上させるようにした半導体集積回路に関する。

## 【0002】

【従来の技術】半導体集積回路を構成する各トランジスタのESD耐圧を向上させる技術として、従来、保護トランジスタのみをLDD構造にせず、シングルドレイン構造にする方法（第1の方法）、不純物濃度の高い拡散層を用いて、保護ダイオードを別途に設ける方法（第2の方法）、保護トランジスタを多段に設ける方法（第3の方法）、保護トランジスタのドレインコンタクトとゲートとの距離を広くする方法（第4の方法）、保護トランジスタのドレイン拡散面積を大きくする方法（第5の方法）などが提案されている。

## 【0003】

【発明が解決しようとする課題】しかしながら、このような従来の技術では、次に述べるような問題があった。すなわち、上述した第1の方法では、近年の半導体集積回路を製造する際、微細化技術によって各保護トランジスタを形成していることから、図5、図6に示す如く保護トランジスタ101、102を出力トランジスタとして使うと、ホットキャリアによって各保護トランジスタ101、102の特性が劣化してしまい、相互コンダクタンス $g_m$ が低下してしまうという問題があった。そこで、このような問題が解決する方法として、各保護トランジスタ101、102のうち、出力トランジスタとなる保護トランジスタのゲート長を $2\mu m$ 以上にする方法もあるが、このようにしても、保護トランジスタの相互コンダクタンス $g_m$ が低下してしまい、高性能な出力特性を得ることができないという問題があった。また、上述した第2～第5の方法では、入出力セル面積が増大し、保護トランジスタを高集積化することが難しいという問題があった。本発明は上記の事情に鑑み、入出力セル面積を増大させることなく、かつLDD構造を採用しながら、ESD耐圧を向上させることができるとともに、高性能な出力トランジスタとして使用することができる保護トランジスタを得ることができる半導体集積回路を提供することを目的としている。

## 【0004】

【課題を解決するための手段】上記の目的を達成するために本発明による半導体集積回路は、入出力セルとなる入力保護トランジスタおよび出力トランジスタのドレイ

ン側のコンタクトホール直下にあるドレイン拡散層の下部に、このドレイン拡散層と同一の導電型を持ち、前記ドレイン拡散層よりも高濃度の拡散層を形成したことを特徴としている。上記の構成により、サージによる大量の電荷を効率良く、P型基板側に導き、大量の電荷をほとんど、ドレインコンタクト直下で、P型基板に抜けさせ、これによってドレインコンタクトと、ゲート電極との間隔をレイアウトルール以上にすることなくESD耐圧を高くし、高集積化を図る。

## 【0005】

【発明の実施の形態】以下、本発明を図面に示した形態例に基づいて詳細に説明する。

《形態例の構成》図1は本発明による半導体集積回路の一形態例を示す平面図、図2は図1に示す半導体集積回路をA-A'線で切断したときの断面図である。これらの図に示す半導体集積回路1は、図1に示す如くP型基板2上にドレイン領域3と、ソース領域4とが交互に形成されるとともに、これらドレイン領域3と、ソース領域4との間にゲート5が形成された複数の保護トランジスタ6によって構成されている。これらの各保護トランジスタ6は、図2に示す如くP型半導体などによって構成されるP型基板2と、このP型基板2上に所定間隔で形成されるゲート酸化膜7と、これらの各ゲート酸化膜7上に設けられるゲート電極8と、このゲート電極8および前記ゲート酸化膜7の側面を覆うように形成されるサイドウォール9と、イオン注入技術などによってN型不純物（例えば、リンなど）を前記P型基板2上の前記各ゲート酸化膜7以外の部分に浅く打ち込んで形成される拡散層10と、イオン注入技術などによってN型不純物（例えば、砒素など）を前記P型基板2上の前記各ゲート酸化膜7の間に打ち込んで形成されるドレイン拡散層11と、イオン注入技術などによってN型不純物（例えば、リンなど）を前記P型基板2上の前記各ゲート酸化膜7間の中央部分に深く打ち込んで形成される高濃度拡散層12と、前記ゲート電極8を覆うように形成される層間絶縁膜13と、この層間絶縁膜13のうち、高濃度拡散層12の上部に形成されたコンタクトホール14に形成されるドレインコンタクト15とによって構成されている。

【0006】《形態例の第1製造手順》次に、図3に示す工程図を参照しながら、図1、図2に示す半導体集積回路1を製造する際に使用される第1製造手順について説明する。

＜第1工程＞まず、図3(a)に示す如く従来通りの方法でP型基板2上にLOCOS酸化膜を形成した後、ゲート酸化膜7、ゲート電極8をパターンニングするとともに、入出力セルとなる保護トランジスタ6のドレインコンタクト15が将来形成される領域を開口するように、レジストパターン16を形成する。この後、このレジストパターン16をマスクとして、N型不純物イオン

17、例えばリンなどのイオンを250KeV程度のエネルギーで、 $1E16cm^2$ 程度、注入して、P型基板2の深い部分に高濃度拡散層12を形成する。

<第2工程>次いで、図3(b)に示す如く前記レジストパターン16を除去した後、全面にN型不純物イオン18、例えばリンなどのイオンを60KeV程度のエネルギーで、 $2E13cm^2$ 程度、注入して、P型基板2の浅い部分に拡散層10を形成する。

<第3工程>次いで、周知の方法で前記ゲート電極8、ゲート酸化膜7の側部にサイドウォール9を形成し、この後N型不純物イオン19、例えば砒素などのイオンを50KeV程度のエネルギーで、 $6E15cm^2$ 程度、注入して、P型基板2の少し深い部分にドレイン拡散層11を形成した後、 $N_2$ 雰囲気中で、1000℃、30分程度の熱処理を加え、図2に示すようなドレイン構造にする。この後、周知の方法で、保護トランジスタ6となるMOSICを完成させる。

【0007】《形態例の第2製造手順》次に、図4に示す工程図を参照しながら、図1、図2に示す半導体集積回路を製造する際に使用される第2製造手順について説明する。

<第1、第2工程>まず、図4(a)、(b)に示す如く周知の方法で、P型基板2上にLDD構造、Nチャネルのトランジスタ20を形成する。

<第3工程>次いで、図4(c)に示す如く層間絶縁膜13をデボした後、コンタクトホール14を形成する。そして、入出力セルとなる保護トランジスタ6のドレインコンタクト領域のみを開口するように、レジストパターン21を形成した後、このレジストパターン21をマスクにして、N型不純物イオン17、例えばリンのイオンを250KeV程度のエネルギーで、 $1E16cm^2$ 程度、注入して、P型基板2の深い部分に高濃度拡散層12を形成する。

<第4工程>次いで、図4(d)に示す如く $N_2$ 雰囲気中で、900℃～1000℃、30分程度の熱処理を加え、図2に示すようなドレイン構造にする。

【0008】《形態例の効果》このように、この形態例においては、入出力セルとなる入力保護トランジスタ6のドレインコンタクト15の直下に、ドレイン拡散層11と同一導電型で、ドレイン拡散層11よりも高濃度な拡散層(高濃度拡散層12)を形成しているので、サージによる大量の電荷を効率良く、P型基板2側に導き、大量の電荷をほとんど、ドレインコンタクト15直下で、P型基板2に抜けさせることができ、これによってドレインコンタクト15と、ゲート電極8との間隔をレイアウトルール以上になすことなくESD耐圧を高くし、高集積化を図ることができる。また、拡散層を別途、設けたり、複数の保護トランジスタ6を多段に設けたり、ドレイン面積を大きくしたりするなどの必要がな

とができる。さらに、保護トランジスタ6のドレイン構造をLDD構造にしても、充分なサージ耐圧を確保することができることから、この保護トランジスタ6を出力トランジスタとして使用する際にも、ゲート長を $1\mu m$ 程度に微細化しても、トランジスタ特性の劣化を招くことなく、容易に高性能出力特性を確保することができる。

【0009】《形態例の効果と従来技術との比較》次に、本発明による半導体集積回路の技術と、従来から知られている技術のうち、近い技術との差異について、説明する。

<特公昭62-37547号との差異>まず、特公昭62-37547号に示す「半導体装置の製造方法」では、保護回路を拡散領域のみで形成しているが、本発明では、保護特性向上と、出力回路との兼用を考慮して、ゲートトランジスタを利用するようにしている。この場合、このゲートトランジスタが形成されている領域の基板濃度を上げるとは、NウェルおよびPウェルの濃度を高くすることになり、そのうえ、内部回路を保護回路のゲートトランジスタのしきい値電圧 $V_{TH}$ を独立に制御しなければならない。これに対して、本発明では、基板濃度を上げる代わりに、ドレイン拡散層11の下部にドレイン拡散層11と同一の導電型を持ち、ドレイン拡散層11より高濃度な拡散層(高濃度拡散層12)を持つ構造にすることにより、逆方向降伏電圧を下げることで、これによって上述した特公昭62-37547号公報に示す「半導体装置の製造方法」と同様に、保護機能を強化することができる。

【0010】<特公昭62-37550号公報との差異>また、特公昭62-37550号公報に示す「半導体装置」では、ブレイクダウン後の電流パスの抵抗を小さくするとともに、ドレインと、基板と、ソースとによって構成されるPNPのバイポーラアクションを防止することを目的として、保護トランジスタのソースを、基板と同一導電型にしている。これに対して、本発明では、保護トランジスタ6のドレイン直下にドレイン拡散層11と同一導電型で、かつ高濃度の拡散層(高濃度拡散層12)を持つ構造にすることにより、サージが抜けるときのパスを、ドレインボトム→P型基板2→P型基板2と同一導電型の高濃度拡散層12→GND(または、 $V_{cc}$ ライン)にすることで、電流パスにおけるバイポーラアクションを防止するとともに、優れた保護機能を実現している。

【0011】<特公昭62-33752号との差異>また、特公昭62-33752号に示す「MIS集積回路の保護回路」では、保護抵抗部でサージが抜けたときを考えて、サージ電流量を抑制することを目的として、 $PW-V_{ss}$ 間に抵抗を配置し、サージによって $V_{ss} \rightarrow PW$ ウェル $\rightarrow N^+$ 抵抗 $\rightarrow$ パッドからなるパスを流れる電流を制限し、これによって大電流による焼損を防止するように

5

している。これに対して、本発明では、保護トランジスタ6のドレイン直下にドレイン拡散層11と同一導電型で、かつ高濃度の拡散層（高濃度拡散層12）を持つ構造にすることにより、逆方向降伏電圧を下げ、大電流による焼損を防止している。

#### 【0012】

【発明の効果】以上説明したように本発明によれば、入出力セル面積を増大させることなく、かつLDD構造を採用しながら、ESD耐圧を向上させることができるとともに、高性能な出力トランジスタとして使用することができ、保護トランジスタを得ることができる。

#### 【図面の簡単な説明】

【図1】本発明による半導体集積回路の一形態例を示す平面図である。

【図2】図1に示す半導体集積回路をA-A'線で切断したときの断面図である。

【図3】(a) (b) 及び (c) は図1に示す半導体集積回路を製造する際に使用される第1製造手順例を示す模式図である。

【図4】(a) 乃至 (d) は図1に示す半導体集積回路

6

を製造する際に使用される第2製造手順例を示す模式図である。

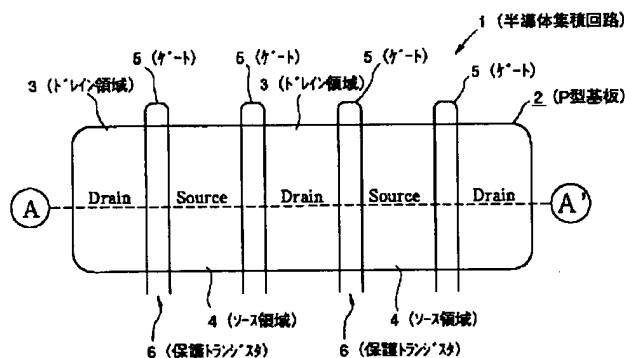
【図5】従来から知られている半導体集積回路の保護トランジスタを出力トランジスタとして使用するときの一例を示す回路図である。

【図6】従来から知られている半導体集積回路の保護トランジスタを出力トランジスタとして使用するときの他の一例を示す回路図である。

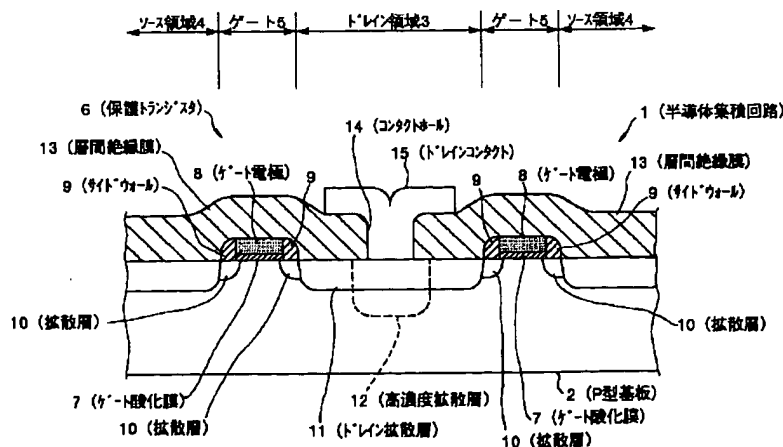
#### 【符号の説明】

1…半導体集積回路、2…P型基板、3…ドレイン領域、4…ソース領域、5…ゲート5、6…保護トランジスタ、7…ゲート酸化膜、8…ゲート電極、9…サイドウォール、10…拡散層、11…ドレイン拡散層、12…高濃度拡散層（高濃度の拡散層）、13…層間絶縁膜、14…コンタクトホール、15…ドレインコンタクト、16…レジストパターン、17…N型不純物イオン、18…N型不純物イオン、19…N型不純物イオン、20…Nチャネルのトランジスタ、21…レジストパターン、101…保護トランジスタ、102…保護トランジスタ。

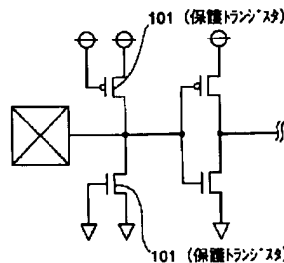
【図1】



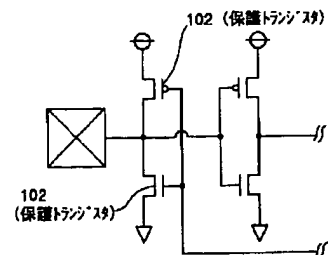
【図2】



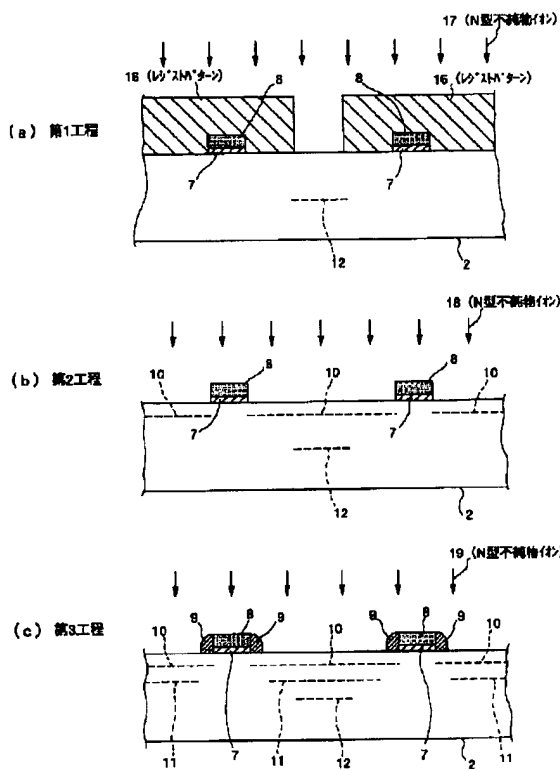
【図5】



【図6】



【図3】



【図4】

